

IFT209 – Programmation système
Université de Sherbrooke
Examen final

Enseignant: Michael Blondin
Date: mercredi 14 avril 2021
Durée: 3 heures

Directives:

- Vous devez répondre aux questions dans le **cahier de réponses**, pas sur ce questionnaire;
- **Une seule feuille (recto verso)** de notes manuscrites au format $8\frac{1}{2}'' \times 11''$ est permise;
- **Aucun matériel additionnel** (notes de cours, fiches récapitulatives, etc.) n'est permis;
- **Aucun appareil électronique** (calculatrice, téléphone, tablette, ordinateur, etc.) n'est permis;
- Vous devez donner **une seule réponse** par sous-question;
- L'examen comporte **5 questions** sur **5 pages** valant un total de **50 points**;
- La correction se base sur la **clarté**, l'**exactitude** et la **concision** de vos réponses, ainsi que sur la **justification** pour les questions qui en requièrent une;
- À moins d'avis contraire, le langage d'assemblage utilisé est celui de l'architecture **ARMv8** tel qu'utilisé en classe; un sommaire est présenté à l'**annexe A**;
- La question 5 utilise le langage d'assemblage du **NES** tel qu'utilisé en classe; un sommaire est présenté à l'**annexe B**.

Question 1: valeurs booléennes et chaînes de bits

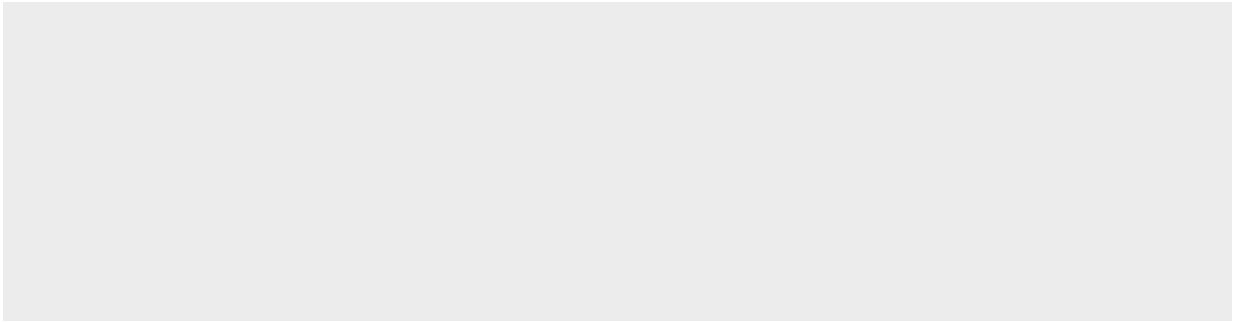
(a)

3,5 pts

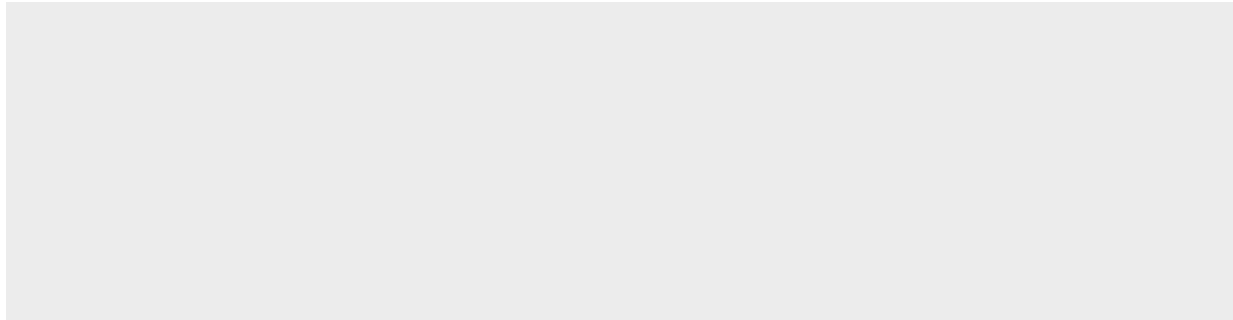
(b)

1,5 pts

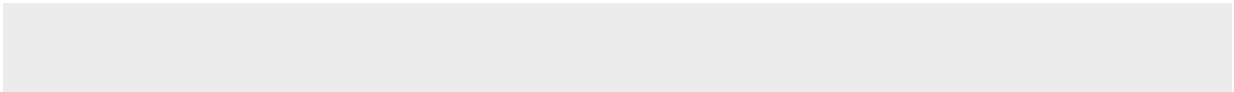
(c)



3 pts

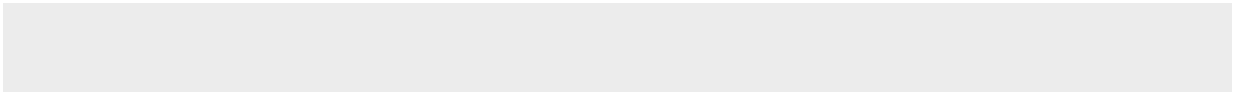
Question 2: chaînes de caractères

(a)



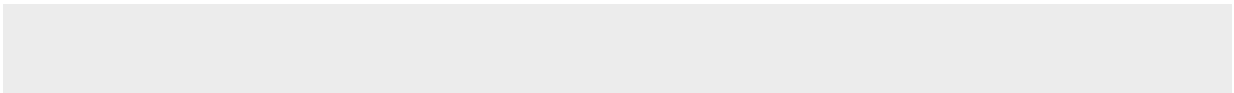
2 pts

(b)



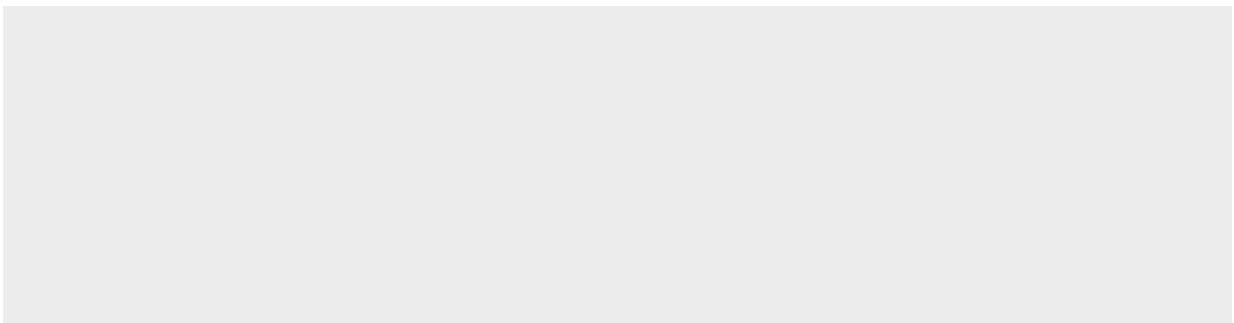
2 pts

(c)

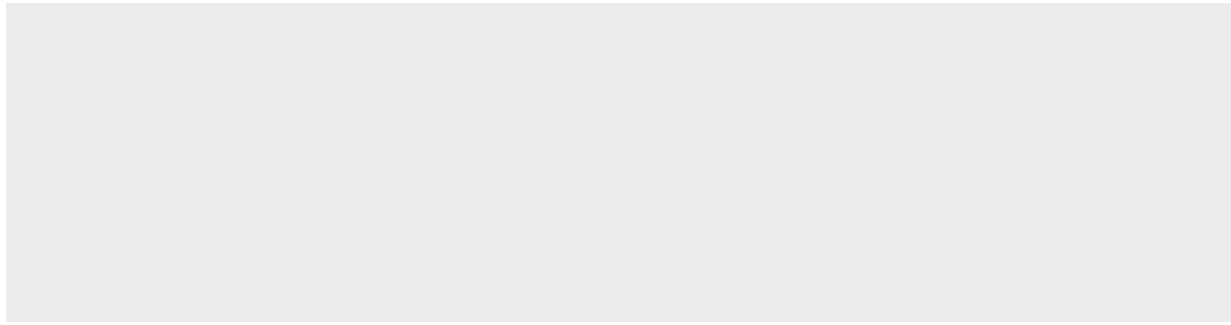


2 pts

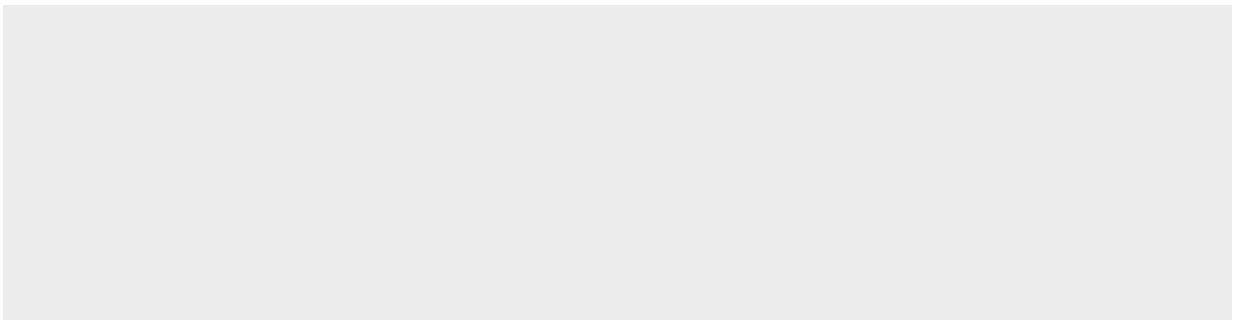
(d)



6 pts

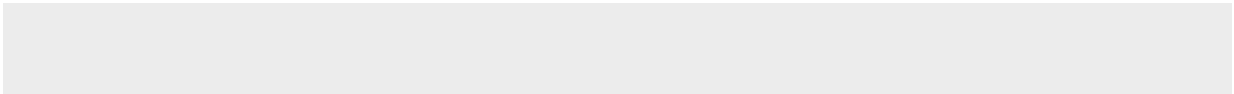
Question 3: sous-programmes et mémoire

(a)



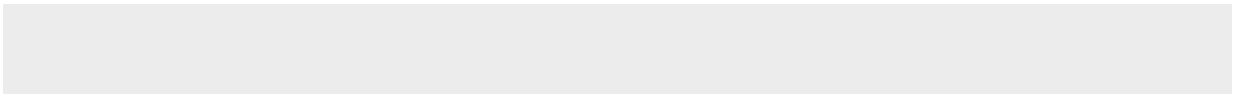
5 pts

(b)



2,5 pts

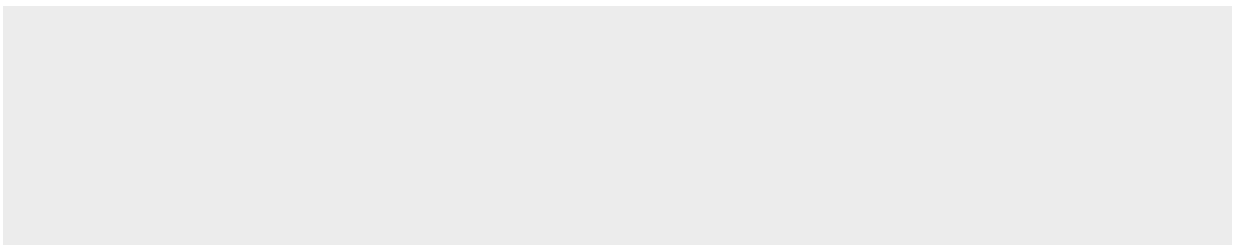
(c)



2,5 pts

Question 4: nombres en virgule flottante

(a)



5 pts

(b)

(i)

2,5 pts

(ii)

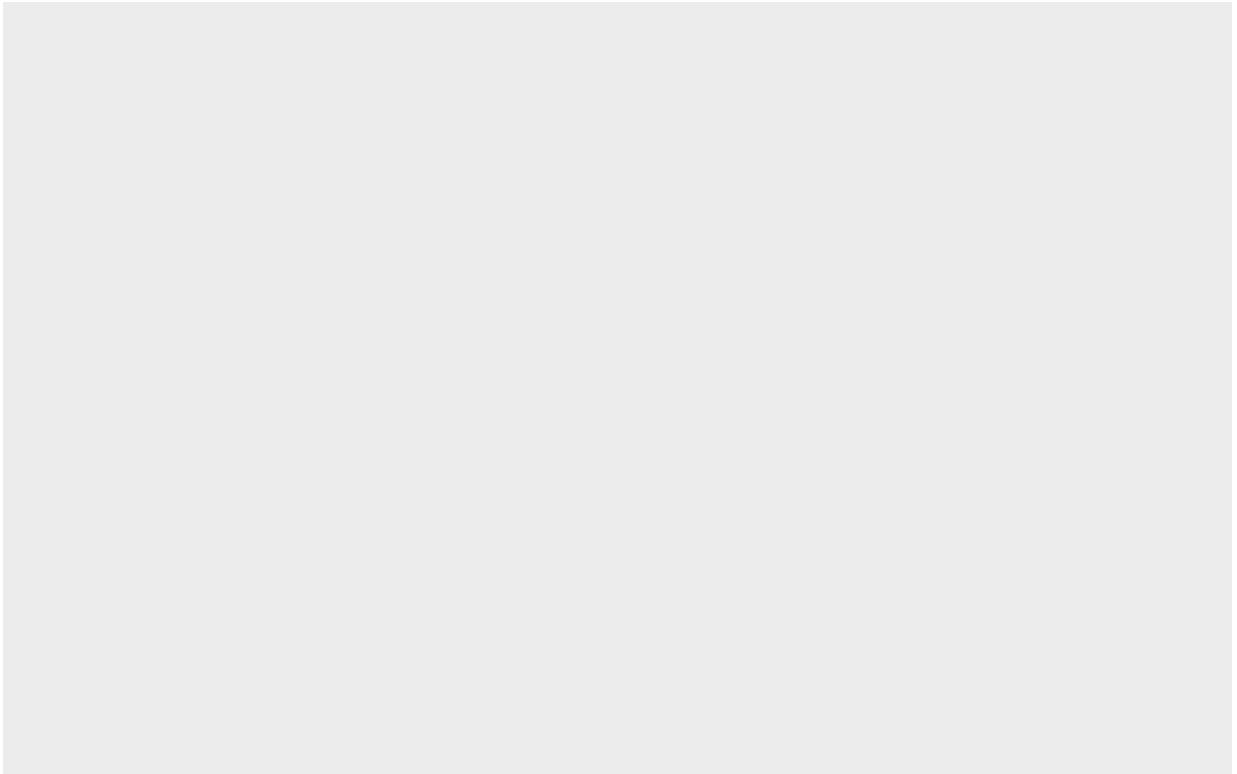
2,5 pts

Question 5: entrées/sorties

(a)

5 pts

(b)



5 pts

Annexe A:

Sommaire de l'architecture ARMv8

Registres.

- Chaque registre x_n possède 64 bits: $b_{63}b_{62} \dots b_1b_0$
- Notation: $x_n\langle i \rangle := b_i$, $x_n\langle i, j \rangle := b_i b_{i-1} \dots b_j$, r_n réfère au registre x_n ou w_n
- Chaque sous-registre w_n possède 32 bits et correspond à $x_n\langle 31, 0 \rangle$
- Le compteur d'instruction pc n'est pas accessible
- Conventions:

Registres	Nom	Utilisation
$x_0 - x_7$	—	registres d'arguments et de retour de sous-programmes
x_8	xr	registre pour retourner l'adresse d'une structure
$x_9 - x_{15}$	—	registres temporaires sauvegardés par l'appelant
$x_{16} - x_{17}$	ip ₀ - ip ₁	registres temporaires intra-procéduraux
x_{18}	pr	registre temporaire pouvant être réservé par le système
$x_{19} - x_{28}$	—	registres temporaires sauvegardés par l'appelé
x_{29}	fp	pointeur vers l'ancien sommet de pile (<i>frame pointer</i>)
x_{30}	lr	registre d'adresse de retour (<i>link register</i>)
x_{31}	sp	registre contenant la valeur 0, ou pointeur de pile (<i>stack pointer</i>)

Arithmétique (entiers).

- Les codes de condition sont modifiés par **cmp**, **adds**, **adcs**, **subs**, **sbc** et **negs**
- À cette différence près, **adds**, **adcs**, **subs**, **sbc** et **negs** se comportent respectivement comme **add**, **adc**, **sub**, **sbc** et **neg**
- Instructions, où i est une valeur immédiate de 12 bits et j est une valeur immédiate de 6 bits:

Code d'op.	Syntaxe	Effet	Exemple
cmp	cmp rd, rm	compare r_d et r_m	cmp x19, x21
	cmp rd, i	compare r_d et i	cmp x19, 42
	cmp rd, rm, decal j	compare r_d et r_m <i>decal j</i>	cmp x19, x21, lsl 1
add	add rd, rn, rm	$r_d \leftarrow r_n + r_m$	add x19, x20, x21
	add rd, rn, i	$r_d \leftarrow r_n + i$	add x19, x20, 42
	add rd, rn, rm, decal j	$r_d \leftarrow r_n + (r_m \text{ decal } j)$	add x19, x20, x21, lsl 1
adc	adc rd, rn, rm	$r_d \leftarrow r_n + r_m + C$	adc x19, x20, x21
sub	sub rd, rn, rm	$r_d \leftarrow r_n - r_m$	sub x19, x20, x21
	sub rd, rn, i	$r_d \leftarrow r_n - i$	sub x19, x20, 42
	sub rd, rn, rm, decal j	$r_d \leftarrow r_n - (r_m \text{ decal } j)$	sub x19, x20, x21, lsl 1
sbc	sbc rd, rn, rm	$r_d \leftarrow r_n - r_m - 1 + C$	sbc x19, x20, x21
neg	neg rd, rm	$r_d \leftarrow -r_m$	neg x19, x21
	neg rd, rm, decal j	$r_d \leftarrow -(r_m \text{ decal } j)$	neg x19, x21, lsl 1
mul	mul rd, rn, rm	$r_d \leftarrow r_n \cdot r_m$	mul x19, x20, x21
udiv	udiv rd, rn, rm	$r_d \leftarrow r_n \div r_m$ (non signé)	udiv x19, x20, x21
sdiv	sdiv rd, rn, rm	$r_d \leftarrow r_n \div r_m$ (signé)	sdiv x19, x20, x21
madd	madd rd, rn, rm, ra	$r_d \leftarrow r_a + (r_n \cdot r_m)$	madd x19, x20, x21, x22
msub	msub rd, rn, rm, ra	$r_d \leftarrow r_a - (r_n \cdot r_m)$	msub x19, x20, x21, x22

Accès mémoire.

- **ldrsb**, **ldrsh** et **ldrsb** se comportent respectivement comme **ldr** (4 octets), **ldrh** et **ldrb** à l'exception du fait qu'ils effectuent un chargement dans x_d où les bits excédentaires sont le bit de signe de la donnée chargée, plutôt que des zéros
- Instructions, où a est une adresse et $mem_b[a]$ réfère aux b octets à l'adresse a de la mémoire principale:

Code d'op.	Syntaxe	Effet	Exemple
mov	mov rd, rm mov rd, i	$r_d \leftarrow r_m$ $r_d \leftarrow i$	mov x19, x21 mov x19, 42
ldr	ldr xd, a ldr wd, a	charge 8 octets: $x_d \langle 63, 0 \rangle \leftarrow mem_8[a]$ charge 4 octets: $x_d \langle 31, 0 \rangle \leftarrow mem_4[a]$; $x_d \langle 63, 32 \rangle \leftarrow 0$	ldr x19, [x20] ldr w19, [x20]
ldrh	ldrh wd, a	charge 2 octets: $x_d \langle 15, 0 \rangle \leftarrow mem_2[a]$; $x_d \langle 63, 16 \rangle \leftarrow 0$	ldrh w19, [x20]
ldrb	ldrb wd, a	charge 1 octet: $x_d \langle 7, 0 \rangle \leftarrow mem_1[a]$; $x_d \langle 63, 8 \rangle \leftarrow 0$	ldrb w19, [x20]
str	str xd, a str wd, a	stocke 8 octets: $mem_8[a] \leftarrow x_d \langle 63, 0 \rangle$ stocke 4 octets: $mem_4[a] \leftarrow x_d \langle 31, 0 \rangle$	str x19, [x20] str w19, [x20]
strh	strh wd, a	stocke 2 octets: $mem_2[a] \leftarrow x_d \langle 15, 0 \rangle$	strh w19, [x20]
strb	strb wd, a	stocke 1 octet: $mem_1[a] \leftarrow x_d \langle 7, 0 \rangle$	strb w19, [x20]
ldp	ldp xd, xn, a	charge 16 octets: $x_d \langle 63, 0 \rangle \leftarrow mem_8[a]$, $x_n \langle 63, 0 \rangle \leftarrow mem_8[a+8]$	ldp x19, x20, [sp]
stp	stp xd, xn, a	stocke 16 octets: $mem_8[a] \leftarrow x_d \langle 63, 0 \rangle$, $mem_8[a+8] \leftarrow x_n \langle 63, 0 \rangle$	stp x19, x20, [sp]

Conditions de branchement.

- Codes de condition: N (négatif), Z (zéro), C (report), V (débordement)
- C indique aussi l'absence d'emprunt lors d'une soustraction
- Conditions de branchement:

Entiers non signés

Code	Signification	Codes de condition
eq	=	Z
ne	$\neq$	$\neg Z$
hs	$\geq$	C
hi	>	$C \wedge \neg Z$
ls	$\leq$	$\neg C \vee Z$
lo	<	$\neg C$

Entiers signés

Code	Signification	Codes de condition
eq	=	Z
ne	$\neq$	$\neg Z$
ge	$\geq$	$N = V$
gt	>	$\neg Z \wedge (N = V)$
le	$\leq$	$Z \vee (N \neq V)$
lt	<	$N \neq V$
vs	débordement	V
vc	pas de débordement	$\neg V$
mi	négatif	N
pl	non négatif	$\neg N$

Branchement.

- Instructions de branchement, où j est une valeur immédiate de 6 bits:

Code d'op.	Syntaxe	Effet	Exemple
b.	b.cond etiq	branche à etiq : si <i>cond</i>	b.eq main100
b	b etiq	branche à etiq :	b main100
cbz	cbz rd, etiq	branche à etiq : si $r_d = 0$	cbz x19, main100
cbnz	cbnz rd, etiq	branche à etiq : si $r_d \neq 0$	cbnz x19, main100
tbz	tbz rd, j, etiq	branche à etiq : si $r_d \langle j \rangle = 0$	tbz x19, 1, main100
tbnz	tbnz rd, j, etiq	branche à etiq : si $r_d \langle j \rangle \neq 0$	tbnz x19, 1, main100
bl	bl etiq	branche à etiq : et $x_{30} \leftarrow pc + 4$	bl printf
blr	blr xd	branche à x_d et $x_{30} \leftarrow pc + 4$	blr x20
br	br xd	branche à x_d	br x20
ret	ret	branche à x_{30} (retour de sous-prog.)	ret

Adressage.

- Modes d'adressages, où k est une valeur immédiate de 7 bits:

Nom	Syntaxe	Adresse	Effet	Exemple
adresse d'une étiquette	adr xd, etiq	—	$x_d \leftarrow$ adresse de etiq :	adr x19, main100
indirect par registre	[xd]	x_d	—	[x20]
indirect par registre indexé	[xd, xn]	$x_d + x_n$	—	[x20, x21]
	[xd, k]	$x_d + k$	—	[x20, 1]
	[xd, xn, decal k]	$x_d + (x_n \text{ decal } k)$	—	[x20, x21, lsl 1]
ind. par reg. indexé pré-inc.	[xd, k]!	$x_d + k$	$x_d \leftarrow x_d + k$ avant calcul	[x20, 1]!
ind. par reg. indexé post-inc.	[xd], k	x_d	$x_d \leftarrow x_d + k$ après calcul	[x20], 1
relatif	etiq	adresse de etiq	—	main100

Autres instructions.

Code d'op.	Syntaxe	Effet	Exemple
csel	csel rd, rn, rm, cond	si <i>cond</i> : $r_d \leftarrow r_n$, sinon: $r_d \leftarrow r_m$	csel x19, x20, x21, eq

Logique et manipulation de bits.

- Les instructions **lsl**, **lsr**, **asr** et **ror** possèdent également une variante de 32 bits utilisant les registres w_d , w_n et w_m (dans ce cas, les 32 bits de poids fort sont mis à 0)
- Instructions, où i est une valeur immédiate de 12 bits et j est une valeur immédiate de 6 bits:

Code d'op.	Syntaxe	Effet	Exemple
mvn	mvn rd, rn	$r_d \leftarrow \neg r_n$	mvn x19, x20
and	and rd, rn, rm	$r_d \leftarrow r_n \wedge r_m$	and x19, x20, x21
	and rd, rn, i	$r_d \leftarrow r_n \wedge i$	and x19, x20, 4
	and rd, rn, rm, decal j	$r_d \leftarrow r_n \wedge (r_m \text{ decal } j)$	and x19, x20, x21, lsl 1
orr	orr rd, rn, rm	$r_d \leftarrow r_n \vee r_m$	orr x19, x20, x21
	orr rd, rn, i	$r_d \leftarrow r_n \vee i$	orr x19, x20, 4
	orr rd, rn, rm, decal j	$r_d \leftarrow r_n \vee (r_m \text{ decal } j)$	orr x19, x20, x21, lsl 1
eor	eor rd, rn, rm	$r_d \leftarrow r_n \oplus r_m$	eor x19, x20, x21
	eor rd, rn, i	$r_d \leftarrow r_n \oplus i$	eor x19, x20, 4
	eor rd, rn, rm, decal j	$r_d \leftarrow r_n \oplus (r_m \text{ decal } j)$	eor x19, x20, x21, lsl 1
bic	bic rd, rn, rm	$r_d \leftarrow r_n \wedge \neg r_m$	bic x19, x20, x21
	bic rd, rn, i	$r_d \leftarrow r_n \wedge \neg i$	bic x19, x20, 4
	bic rd, rn, rm, decal j	$r_d \leftarrow r_n \wedge \neg (r_m \text{ decal } j)$	bic x19, x20, x21, lsl 1
lsl	lsl xd, xn, j	décalage de j bits vers la gauche: $x_d \langle 63, j \rangle \leftarrow x_n \langle 63 - j, 0 \rangle$; $x_d \langle j - 1, 0 \rangle \leftarrow 0$	lsl x19, x20, 1
lsr	lsr xd, xn, j	décalage de j bits vers la droite: $x_d \langle 63 - j, 0 \rangle \leftarrow x_n \langle 63, j \rangle$; $x_d \langle 63, 64 - j \rangle \leftarrow 0$	lsr x19, x20, 1
asr	asr xd, xn, j	décalage arithmétique de j bits vers la droite: $x_d \langle 63 - j, 0 \rangle \leftarrow x_n \langle 63, j \rangle$; $x_d \langle 63, 64 - j \rangle \leftarrow x_n \langle 63 \rangle$	asr x19, x20, 1
ror	ror xd, xn, j	décalage circulaire de j bits vers la droite: $x_d \leftarrow x_n \langle j - 1, 0 \rangle \ x_n \langle 63, j \rangle$	ror x19, xn, 1

Registres (nombres en virgule flottante).

- Possède 32 registres double précision (64 bits) de la forme d_n
- Chaque registre d_n possède un sous-registre simple précision (32 bits) s_n
- v_n réfère au registre d_n ou s_n
- Conventions:

Registres	Utilisation
$d_0 - d_7$	registres d'arguments et de retour de sous-programmes
$d_8 - d_{15}$	registres sauvegardés par l'appelé
$d_{16} - d_{31}$	registres sauvegardés par l'appelant

Manipulation et arithmétique (nombres en virgule flottante).

- Les conditions de branchement sont les mêmes que pour les entiers et sont déterminées à partir de codes de condition mis à jour par **fcmp**

Code d'op.	Syntaxe	Effet	Exemple
ldr	ldr d_n, a	charge un nombre en virgule flottante double précision de l'adresse a vers d_n (8 octets)	ldr $d8, [x19]$
	ldr s_n, a	charge un nombre en virgule flottante simple précision de l'adresse a vers s_n (4 octets)	ldr $s8, [x19]$
str	str d_n, a	stocke un nombre en virgule flottante double précision de d_n vers l'adresse a (8 octets)	str $d8, [x19]$
	str s_n, a	stocke un nombre en virgule flottante simple précision de s_n vers l'adresse a (4 octets)	str $s8, [x19]$
fmov	fmov vd, vm	$v_d \leftarrow v_m$	fmov $d8, d9$
	fmov vd, i	$v_d \leftarrow i$	fmov $d8, 1.5$
fcmp	fcmp vd, vm	compare v_d et v_m	fcmp $d8, d9$
	fcmp vd, i	compare v_d et i	fcmp $d8, 0.0$
fadd	fadd vd, vn, vm	$v_d \leftarrow v_n + v_m$	fadd $d8, d9, d10$
fsub	fsub vd, vn, vm	$v_d \leftarrow v_n - v_m$	fsub $d8, d9, d10$
fmul	fmul vd, vn, vm	$v_d \leftarrow v_n \cdot v_m$	fmul $d8, d9, d10$
fdiv	fdiv vd, vn, vm	$v_d \leftarrow v_n / v_m$	fdiv $d8, d9, d10$
fsqrt	fsqrt vd, vn	$v_d \leftarrow \sqrt{v_n}$	fsqrt $d8, d9$
fabs	fabs vd, vn	$v_d \leftarrow v_n $	fabs $d8, d9$
ucvtf	ucvtf vd, rn	convertit l'entier non signé dans r_n vers un nombre en virgule flottante dans v_d (selon le mode d'approximation configuré dans le registre de contrôle FPCR)	ucvtf $d8, x19$ ucvtf $d8, w19$ ucvtf $s8, x19$ ucvtf $s8, w19$
scvtf	scvtf vd, rn	convertit l'entier signé dans r_n vers un nombre en virgule flottante dans v_d (selon le mode d'approximation configuré dans le registre de contrôle FPCR)	scvtf $d8, x19$ scvtf $d8, w19$ scvtf $s8, x19$ scvtf $s8, w19$
fcvt	fcvt vd, vn	convertit le nombre en virgule flottante dans v_n vers un nombre en virgule flottante d'une autre précision dans v_d	fcvt $d8, s9$

Appels système.

- x_8 : code numérique du service
- x_0 à x_5 : arguments
- **svc 0**: appel du service

Données statiques.

Segments de données		Données	
Pseudo-instruction	Contenu		
.section ".text"	instructions	.align k	donnée suivante stockée à une adresse divisible par k
.section ".rodata"	données en lecture seule	.skip k	réserve k octets
.section ".data"	données initialisées	.ascii s	chaîne de caractères initialisée à s
.section ".bss"	données non-initialisées	.asciz s	chaîne de caractères initialisée à s suivi du carac. nul
		.byte v	octet initialisé à v
		.hword v	demi-mot initialisé à v
		.word v	mot initialisé à v
		.xword v	double mot initialisé à v
		.single f	nombre en virg. flottante simple précision initialisé à f
		.double f	nombre en virg. flottante double précision initialisé à f

Entrées/sorties (haut niveau).

- Affichage: `printf(&format, val1, val2, ...)`
- Lecture: `scanf(&format, &var1, &var2, ...)`
- Spécificateurs de format:

Famille	Format	Type
Nombres sur 64 bits	%ld	entier décimal signé
	%lu	entier décimal non signé
	%lX	entier hexadécimal non signé
	%lf	nombre en virgule flottante
Nombres sur 32 bits	%d	entier décimal signé
	%u	entier décimal non signé
	%X	entier hexadécimal non signé
	%f	nombre en virgule flottante
Nombres sur 16 bits	%hd	entier décimal signé
	%hu	entier décimal non signé
	%hX	entier hexadécimal non signé
	%c	caractère (1 octet)
Caractères	%s	chaîne de caractères

Annexe B:

Sommaire de l'architecture du NES

Registres.

- Possède 4 registres d'un octet
- Registre interne: *p* (*registre d'état*), contient des états et codes de conditions dont *report/emprunt* (1 octet)
- Registre interne: *pc* (*compteur d'instruction*), contient l'adresse de la prochaine instruction (2 octets)

Nom	Utilisation principale
a	accumulateur, utilisé comme opérande et valeur de retour des opérations arithmétiques et logiques
x	utilisé comme compteur ou comme index pour l'adressage indexé
y	utilisé comme compteur ou comme index pour l'adressage indexé
s	pointeur de pile (pointe vers $0100_{16} + s$)

Valeurs immédiates.

- #: valeur numérique, sans #: adresse
- \$: valeur hexadécimale
- %: valeur binaire
- Exemples:

expression	valeur
#5	5_{10}
#\$FF	FF_{16}
##00010011	00010011_2
\$FF	adresse FF_{16}

Modes d'adressage.

Nom.	Syntaxe	Adresse	Exemple
absolu	i	<i>i</i>	lda \$D010
indexé par x	i, x eti <i>q</i> , x	<i>i</i> + <i>x</i> eti <i>q</i> + <i>x</i>	lda \$D010, x lda tab, x
indexé par y	i, y eti <i>q</i> , y	<i>i</i> + <i>y</i> eti <i>q</i> + <i>y</i>	lda \$D010, y lda tab, y

Accès mémoire.

- Instructions, où $\text{mem}_1[a]$ dénote l'octet situé à l'adresse *a* de la mémoire principale:

Code d'op.	Syntaxe	Effet	Exemple
lda	lda #i lda adr	$a \leftarrow i$ $a \leftarrow \text{mem}_1[\text{adr}]$	lda #42 lda var
ldx	ldx #i ldx adr	$x \leftarrow i$ $x \leftarrow \text{mem}_1[\text{adr}]$	ldx #42 ldx var
ldy	ldy #i ldy adr	$y \leftarrow i$ $y \leftarrow \text{mem}_1[\text{adr}]$	ldy #42 ldy var
sta	sta adr	$\text{mem}_1[\text{adr}] \leftarrow a$	sta var
stx	stx adr	$\text{mem}_1[\text{adr}] \leftarrow x$	stx var
sty	sty adr	$\text{mem}_1[\text{adr}] \leftarrow y$	sty var
txa	txa	$a \leftarrow x$	txa
tax	tax	$x \leftarrow a$	tax
tya	tya	$a \leftarrow y$	tya
tay	tay	$y \leftarrow a$	tay
txs	txs	$s \leftarrow x$	txs
tsx	tsx	$x \leftarrow s$	tsx
pha	pha	empile a sur la pile	pha
pla	pla	dépile le premier octet de la pile vers a	pla

Arithmétique.

Code d'op.	Syntaxe	Effet	Exemple
adc	adc #i adc adr	$a \leftarrow a + i + \text{report}$ $a \leftarrow a + \text{mem}_1[\text{adr}] + \text{report}$	lda #1 adc var
sbc	sbc #i sbc adr	$a \leftarrow a - i - \text{emprunt}$ $a \leftarrow a - \text{mem}_1[\text{adr}] - \text{emprunt}$	sbc #1 sbc var
clc	clc	$\text{report} \leftarrow 0$ (utile avant adc)	clc
sec	sec	$\text{emprunt} \leftarrow 0$ (utile avant sbc)	sec
inx	inx	$x \leftarrow x + 1$	inx
iny	iny	$y \leftarrow y + 1$	iny
inc	inc adr	$\text{mem}_1[\text{adr}] \leftarrow \text{mem}_1[\text{adr}] + 1$	inc var
dec	dec adr	$\text{mem}_1[\text{adr}] \leftarrow \text{mem}_1[\text{adr}] - 1$	dec var

Logique.

Code d'op.	Syntaxe	Effet	Exemple
asl	asl adr	décalage logique de $\text{mem}_1[\text{adr}]$ d'un bit à gauche (directement en mémoire)	asl var
lsr	lsr adr	décalage logique de $\text{mem}_1[\text{adr}]$ d'un bit à droite (directement en mémoire)	lsr var
and	and #i and adr	$a \leftarrow a \wedge i$ $a \leftarrow a \wedge \text{mem}_1[\text{adr}]$	and #%00100011 and var
ora	ora #i ora adr	$a \leftarrow a \vee i$ $a \leftarrow a \vee \text{mem}_1[\text{adr}]$	ora #%00100011 ora var
eor	eor #i eor adr	$a \leftarrow a \oplus i$ $a \leftarrow a \oplus \text{mem}_1[\text{adr}]$	eor #%00100011 eor var

Comparaisons et branchements.

Code d'op.	Syntaxe	Effet	Exemple
cmp	cmp #i cmp adr	compare a et i compare a et $\text{mem}_1[\text{adr}]$	cmp #0 cmp var
cpx	cpx #i cpx adr	compare x et i compare x et $\text{mem}_1[\text{adr}]$	cpx #0 cpx var
cpy	cpy #i cpy adr	compare y et i compare y et $\text{mem}_1[\text{adr}]$	cpy #0 cpy var
beq	beq etiq	branche à etiq : si =	beq boucle
bne	bne etiq	branche à etiq : si $\neq$	bne boucle
jmp	jmp etiq	branche à etiq :	jmp boucle
jsr	jsr etiq	branche au sous-programme etiq : et empile l'adresse de retour	jsr func
rts	rts	branche à l'adresse de retour d'un sous-programme	rts
rti	rti	branche à l'adresse de retour d'une interruption	rti